
Modulbezeichnung: CPU Entwurf mit VHDL (CPU) 7.5 ECTS
 (CPU Design with VHDL)

Modulverantwortliche/r: Marc Reichenbach, Dietmar Fey

Lehrende: Marc Reichenbach

| | | |
|------------------------|------------------------|-----------------------|
| Startsemester: SS 2021 | Dauer: 1 Semester | Turnus: jährlich (SS) |
| Präsenzzeit: 90 Std. | Eigenstudium: 135 Std. | Sprache: Deutsch |

Lehrveranstaltungen:

CPU Entwurf mit VHDL (SS 2021, Vorlesung, 4 SWS, Marc Reichenbach)
 Übungen zu CPU Entwurf mit VHDL (SS 2021, Übung, 2 SWS, Philipp Holzinger et al.)

Empfohlene Voraussetzungen:

keine

Inhalt:

Die Vorlesung wird einen Einblick in die wichtigsten Strukturen eines Rechners und insbesondere die der CPU geben. Wie sind die Register, die ALU, die Caches usw. aufgebaut, wie sind sie miteinander verschaltet? Wie werden Pipelines gebildet?

Um die Vorlesung verstehen und die Übungsaufgaben lösen zu können, werden VHDL-Kenntnisse benötigt. Diese werden in der Vorlesung vermittelt.

Im ersten Teil der Vorlesung geht es darum, aus einfachen Und-, Oder- und Inverter-Gattern größere Strukturen aufzubauen. So werden beispielsweise die Register und die Komponenten der ALU (Addierer, Multiplizierer, Shifter usw.) nach und nach aufgebaut. Aus den Einzelteilen lassen sich dann wiederum die Registerbänke, die ALU, die Speichereinheit usw. zusammensetzen.

Mit guten Rechenwerken allein ist eine CPU noch nicht wirklich schnell. Es müssen schnell genug Instruktionen gelesen und dekodiert sowie die Operanden geholt werden können. Nach dem schnellen Verarbeiten in den Rechenwerken müssen die Ergebnisse dann wiederum schnell in die Zielregister bzw. Ziel-Speicherzellen kopiert werden. Das wichtigste Verfahren, um hierbei Performance zu gewinnen, ist das Pipelining.

Leider gibt es eine Reihe von Bedingungen, die erfüllt sein müssen, dass Pipelining wirklich gut funktioniert. So dürfen keine Daten-Abhängigkeiten im Code vorhanden sein, müssen Sprungziele rechtzeitig bekannt sein und dürfen bestimmte Ressourcen nicht mehrfach gleichzeitig genutzt werden. Mittels Forwarding, Sprungvorhersage und Caches können die Probleme gemildert werden.

Mit den so gewonnenen Fähigkeiten sind dann auch Multi-Core- und Multi-Threading-Architekturen verständlich.

Lernziele und Kompetenzen:

Die Studierenden verstehen den inneren Aufbau moderner CPUs (Pipeline, Registerbänke, ALU, Caches, Memory-Management-Unit, Segmentierungseinheit, ...) und können selbst performante CPUs aus einfachen Basis-Schaltungen aufbauen.

Verwendbarkeit des Moduls / Einpassung in den Musterstudienplan:

Das Modul ist im Kontext der folgenden Studienfächer/Vertiefungsrichtungen verwendbar:

[1] Informations- und Kommunikationstechnik (Master of Science)

(Po-Vers. 2016s | TechFak | Informations- und Kommunikationstechnik (Master of Science) | Gesamtkonto | Schwerpunkte im Masterstudium | Schwerpunkt Eingebettete Systeme | Wahlpflichtmodule | Wahlpflichtmodul aus INF im Schwerpunkt Eingebettete Systeme | CPU Entwurf mit VHDL (CPU))

Dieses Modul ist daneben auch in den Studienfächern "Informatik (Bachelor of Arts (2 Fächer))", "Informatik (Bachelor of Science)", "Informatik (Master of Science)", "Information and Communication Technology (Master of Science)", "Mathematik (Bachelor of Science)", "Mechatronik (Master of Science)" verwendbar.

Studien-/Prüfungsleistungen:

CPU Entwurf mit VHDL (CPU) (Prüfungsnummer: 211243)

(englische Bezeichnung: CPU Design with VHDL (CPU))

Prüfungsleistung, mündliche Prüfung, Dauer (in Minuten): 30

Anteil an der Berechnung der Modulnote: 100%

Erstablingung: SS 2021, 1. Wdh.: WS 2021/2022

1. Prüfer: Marc Reichenbach
