
Modulbezeichnung: Einführung digitaler ASIC Entwurf mit Laborübung (EDA-LÜ) **7.5 ECTS**

Modulverantwortliche/r: Marc Reichenbach
 Lehrende: Marc Reichenbach, Dietmar Fey

Startsemester: SS 2013 Dauer: 1 Semester
 Präsenzzeit: 90 Std. Eigenstudium: 135 Std. Sprache: Deutsch

Lehrveranstaltungen:

Einführung digitaler ASIC Entwurf (SS 2013, Vorlesung, 2 SWS, Marc Reichenbach et al.)
 Laborübung zu Einführung digitaler ASIC Entwurf (SS 2013, Übung, 2 SWS, Marc Reichenbach)
 Tafelübungen zu Einführung digitaler ASIC Entwurf (SS 2013, Übung, Marc Reichenbach)

Inhalt:

- Einführung in die Welt der integrierten Schaltkreise
- Schaltungstechnische Grundlagen
- Designflow für integrierte Schaltkreise
- Zeitliche Rahmenbedingungen für die Entwicklung
- Testbarkeit
- Low-Power-Design
- Algorithmen von Entwurfswerkzeugen
- Verifikation von Schaltungen

Diese Veranstaltung ist sehr Praxis orientiert. Aus diesem Grund wird zusätzlich zur Tafelübung eine Laborübung (2,5 ECTS) angeboten. Es besteht die Möglichkeit einen integrierten Schaltkreis, der im Rahmen der Laborübung entsteht, fertigen zu lassen und anschliessend (in einer weiteren Veranstaltung) zu testen.

Verwendbarkeit des Moduls / Einpassung in den Musterstudienplan:

Das Modul ist im Kontext der folgenden Studienfächer/Vertiefungsrichtungen verwendbar:

- [1] **Computational Engineering (Rechnergestütztes Ingenieurwesen) (Bachelor of Science)**
 (Po-Vers. 2010 | Bachelorprüfung | Technische Wahlmodule | Einführung digitaler ASIC Entwurf)
 - [2] **Computational Engineering (Rechnergestütztes Ingenieurwesen) (Master of Science)**
 (Po-Vers. 2008 | Masterprüfung | Wahlpflichtbereich Informatik | Einführung digitaler ASIC Entwurf)
 - [3] **Informatik (Bachelor of Science)**
 (Po-Vers. 2009s | Wahlpflichtbereich (5. und 6. Semester) | Wahlpflichtmodule | Vertiefungsmodul Rechnerarchitektur)
 - [4] **Informatik (Bachelor of Science)**
 (Po-Vers. 2009w | Wahlpflichtbereich (5. und 6. Semester) | Wahlpflichtmodule | Vertiefungsmodul Rechnerarchitektur)
 - [5] **Informatik (Master of Science)**
 (Po-Vers. 2010 | Wahlpflichtbereich | Säule der systemorientierten Vertiefungsrichtungen | Vertiefungsmodul Rechnerarchitektur)
-

Studien-/Prüfungsleistungen:

Einführung digitaler ASIC Entwurf (Vorlesung mit Übung und Laborübungen)
 (diese Prüfung gilt nur im Kontext der Studienfächer/Vertiefungsrichtungen [3], [4], [5])
 mehrteilige Prüfung

Erstablingung: SS 2013, 1. Wdh.: WS 2013/2014
 1. Prüfer: Dietmar Fey

Einführung digitaler ASIC Entwurf (Vorlesung mit Übung und Laborübungen)

(diese Prüfung gilt nur im Kontext der Studienfächer/Vertiefungsrichtungen [1], [2])

mündliche Prüfung, Dauer (in Minuten): 30

Erstablingung: SS 2013, 1. Wdh.: WS 2013/2014

1. Prüfer: Dietmar Fey

Organisatorisches:

Grundlagen der Technischen Informatik

Grundlagen der Rechnerarchitektur und -organisation

Grundlagen der Schaltungstechnik