
Modulbezeichnung: Rechnerarchitektur (Vorlesung mit Übung und Rechnerübung) (RA) **7.5 ECTS**

Modulverantwortliche/r: Dietmar Fey
 Lehrende: Dietmar Fey

Startsemester: WS 2011/2012 Dauer: 1 Semester
 Präsenzzeit: 90 Std. Eigenstudium: 135 Std. Sprache:

Lehrveranstaltungen:

Rechnerarchitektur (WS 2011/2012, Vorlesung, 2 SWS, Dietmar Fey)
 Übungen zu Rechnerarchitektur (WS 2011/2012, Übung, 2 SWS, N.N.)
 Rechnerübungen zu Rechnerarchitektur (WS 2011/2012, Übung, 2 SWS, Max Schneider)

Inhalt:

Die Vorlesung baut auf die in den Grundlagen der Rechnerarchitektur und -organisation vermittelten Inhalte auf und setzt diese mit weiterführenden Themen fort. Es werden zunächst grundlegende fortgeschrittene Techniken bei Pipelineverarbeitung und Cachezugriffen in modernen Prozessoren und Parallelrechnern behandelt. Ferner wird die Architektur von Spezialprozessoren, z.B. DSPs und Embedded Prozessoren behandelt. Es wird aufgezeigt, wie diese Techniken in konkreten Architekturen (Intel Nehalem, GPGPU, Cell BE, TMS320 DSP, Embedded Prozessor ZPU) verwendet werden. Zur Vorlesung werden eine Tafel- und eine Rechnerübung angeboten, durch deren erfolgreiche Beteiligung abgestuft mit der Vorlesung 5 bzw. 7,5 ECTS erworben werden können. In den Tafelübungen werden die in der Vorlesung vermittelten Techniken durch zu lösende Aufgaben vertieft. In der Rechnerübung soll u.a. ein einfacher Vielkern-Prozessor auf Basis des ZPU-Prozessors mit Simulationswerkzeugen aufgebaut werden. Im Einzelnen werden folgende Themen behandelt:

- Organisationsaspekte von CISC und RISC-Prozessoren
- Behandlung von Hazards in Pipelines
- Fortgeschrittene Techniken der dynamischen Sprungvorhersage
- Fortgeschrittenen Cachetechniken, Cache-Kohärenz
- Ausnutzen von Cacheeffekten
- Architekturen von Digitalen Signalprozessoren
- Architekturen homogener und heterogener Multikern-Prozessoren (Intel Corei7, Nvidia GPUs, Cell BE)
- Architektur von Parallelrechnern (Clusterrechner, Superrechner)
- Effiziente Hardware-nahe Programmierung von Multikern-Prozessoren (OpenMP, SSE, CUDA, OpenCL)
- Leistungsmodellierung und -analyse von Multikern-Prozessoren (Roofline-Modell)

Literatur:

- Patterson/Hennessy: Computer Organization und Design
- Hennessy/Patterson: Computer Architecture - A Quantitative Approach
- Stallings: Computer Organization and Architecture
- Martin: Rechnerarchitekturen

Verwendbarkeit des Moduls / Einpassung in den Musterstudienplan:

Das Modul ist im Kontext der folgenden Studienfächer/Vertiefungsrichtungen verwendbar:

- [1] **Informatik (Bachelor of Science)**
 (Po-Vers. 2009s | Praktika und Wahlpflichtbereich (5. und 6. Semester) | Wahlpflichtmodule | Vertiefungsmodul Rechnerarchitektur)
- [2] **Informatik (Bachelor of Science)**
 (Po-Vers. 2009w | Praktika und Wahlpflichtbereich (5. und 6. Semester) | Wahlpflichtmodule | Vertiefungsmodul Rechnerarchitektur)
- [3] **Informatik (Master of Science)**
 (Po-Vers. 2010 | Wahlpflichtbereich | Säule der systemorientierten Vertiefungsrichtungen | Vertiefungsmodul Rechnerarchitektur)

[4] Informations- und Kommunikationstechnik (Master of Science)

(Po-Vers. 2010 | Schwerpunkt Realisierung von Informations- und Kommunikationssystemen | Wahlpflichtmodule | Wahlpflichtmodul aus INF im Schwerpunkt Realisierung von Informations- und Kommunikationssystemen)

Studien-/Prüfungsleistungen:

Rechnerarchitektur (Vorlesung mit Übung und Rechnerübung)
Leistungsschein

Erstablingung: WS 2011/2012, 1. Wdh.: SS 2012

1. Prüfer: Dietmar Fey

Organisatorisches:

Schein durch Kolloquium